

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/71

H01L 21/331

[12] 发明专利申请公开说明书

[21] 申请号 02140105.5

[43] 公开日 2003 年 1 月 1 日

[11] 公开号 CN 1388589A

[22] 申请日 2002.5.14 [21] 申请号 02140105.5

[30] 优先权

[32] 2001.5.14 [33] US [31] 09/855392

[71] 申请人 夏普公司

地址 日本大阪市

[72] 发明人 D·J·特威特

S·T·许

[74] 专利代理机构 中国专利代理(香港)有限公司

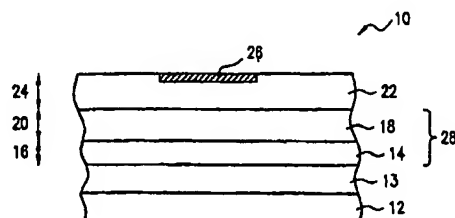
代理人 杨松龄

权利要求书 2 页 说明书 4 页 附图 1 页

[54] 发明名称 用硅绝缘体(SOI)基片上的应变 Si/SiGe 层的迁移率增强的 NMOS 和 PMOS 晶体管

[57] 摘要

本发明包括 SOI 基片上同样薄的顶 Si 层上的薄 Si/SiGe 叠层。SiGe 层是压缩应变的但有局部松弛,各 Si 层是拉伸应变的,无高位错密度。SOI 基片的 Si 层厚度范围是 10 至 40nm。SiGe 层厚度范围是 5 至 50nm。顶 Si 第二层的厚度范围是 2 至 50nm。热氧化部分顶 Si 层,形成用于 MOS 的栅电介质。



1. 一种金属氧化物半导体晶体管, 包括:
其中包含基片硅层的硅绝缘体基片;
5 所述基片硅层上的锗化硅层; 和
所述锗化硅层上淀积的顶硅层, 其中, 所述锗化硅层是压缩应变的, 所述顶硅层和所述基片硅层是拉伸应变的,
其中所述基片硅层的厚度范围是 10 至 40nm.
2. 按权利要求 1 的晶体管, 其特征在于, 晶体管的位错密度不高于基
10 片硅层的位错密度.
3. 按权利要求 1 的晶体管, 其特征在于, 锗化硅层的厚度范围是 5 至 50nm.
4. 按权利要求 1 的晶体管, 其特征在于, 锗化硅层包含 $\text{Si}_{1-x}\text{Ge}_x$, 其中 x 范围是 0.1 至 0.9.
- 15 5. 按权利要求 1 的晶体管, 其特征在于, 锗化硅包含 $\text{Si}_{1-x}\text{Ge}_x$, 其中 x 范围是 0.1 至 0.5.
6. 按权利要求 1 的晶体管, 其特征在于, 顶硅层厚度范围是 2 至 50nm.
7. 按权利要求 1 的晶体管, 其特征在于, 顶硅层包括栅电介质区.
8. 按权利要求 1 的晶体管, 其特征在于, 所述晶体管的场效应电子迁
20 移率至少是 $500\text{cm}^2/\text{V}\cdot\text{Sec}$.
9. 一种金属氧化物半导体晶体管包括:
包括在其中的基片硅层的硅绝缘体基片;
所述基片硅层上淀积的锗化硅层; 和
所述锗化硅层上的顶硅层, 其中, 所述基片硅层的厚度范围是 10 至 40nm,
25 锗化硅层的厚度范围是 5 至 50nm, 顶硅层的厚度范围是 2 至 50nm.
10. 按权利要求 9 的晶体管, 其特征在于, 所述锗化硅层包含 $\text{Si}_{1-x}\text{Ge}_x$, x 范围是 0.1 至 0.5.
11. 按权利要求 9 的晶体管, 其特征在于, 所述顶硅层包含栅电介质区.
12. 按权利要求 9 的晶体管, 其特征在于, 所述晶体管的场效应电子迁
30 移率至少是 $500\text{cm}^2/\text{V}\cdot\text{Sec}$.

13. 按权利要求 9 的晶体管, 其特征在于, 所述锗化硅层局部松弛和压缩应变, 所述顶硅层和基片硅层是拉伸应变。

14. 按权利要求 9 的晶体管, 其特征在于, 所述晶体管包括 n-沟道金属氧化物半导体晶体管。

5 15. 按权利要求 9 的晶体管, 其特征在于, 所述晶体管包括 p-沟道金属氧化物半导体晶体管。

16. 一种有增强的迁移率的晶体管的制造方法, 包括以下步骤:

提供硅绝缘体基片, 它包括其厚度范围为 10 至 40nm 的基片硅层;

所述基片硅层上淀积锗化硅层, 其中, 所述锗化硅层的厚度范围是 5 至
10 50nm; 和

所述锗化硅层上淀积顶硅层, 所述顶硅层的厚度范围是 2 至 50nm。

17. 按权利要求 16 的方法, 其特征在于, 淀积所述锗化硅层, 使锗化硅层是压缩应变的, 淀积所述顶硅层和基片硅层, 使它们均是拉伸应变。

18. 按权利要求 16 的方法, 其特征在于, 锗化硅层包含 $\text{Si}_{1-x}\text{Ge}_x$, 其中
15 x 范围是 0.1 至 0.9。

19. 按权利要求 16 的方法, 还包括在所述顶硅层中形成栅电介质区。

20. 按权利要求 16 的方法, 其特征在于, 所制成的晶体管的场效应电子迁移率至少是 $500\text{cm}^2/\text{V}\cdot\text{Sec}$, 位错密度不大于最初提供的基片硅层的位错密度。

20 21. 按权利要求 1 的晶体管, 其特征在于, 所述晶体管的场效应空穴迁移率至少是 $250\text{cm}^2/\text{V}\cdot\text{Sec}$ 。

用硅绝缘体 (SOI) 基片上的应变 Si/SiGe 层的
迁移率增强的 NMOS 和 PMOS 晶体管

5

技术领域

本发明涉及用 SOI 基片上应变 Si/SiGe 层的增强型 NMOS 和 PMOS 晶体管, 更具体涉及包括有低位错密度的压缩应变但局部松弛 SiGe 和拉伸应变 Si 层的 NMOS 和 PMOS 晶体管。

10 背景技术

过去的 10 年中, 开发出在锗化硅 (SiGe) 技术基础上的许多不同的器件结构, 制成迁移率增强的场效应晶体管 (FET)。一种关于 p-沟道金属氧化物半导体 (PMOS) 晶体管的设计包括掩埋的由无应变的硅 (Si) 层覆盖的假晶应变的 SiGe 层。硅顶层局部松弛, 形成栅介电层。由于在价带中的迁移, 使空穴限制在 SiGe 沟道范围内。这就以两种方式增强了迁移率: 应变 SiGe 层的本征特性, 和空穴与氧化硅/硅 (SiO₂/Si) 的界面分离, 由此减少表面散射。该设计中, 如果把 SiGe 膜厚做得极薄, 则能避免 SiGe 膜中的位错。该器件的制造与目前水平的互补金属氧化物半导体 (CMOS) 工艺有兼容性。但是, 由于在导带上 Si 膜与应变 SiGe 膜之间无迁移, 该设计对 (NMOS) 器件不利, 可能会有真正有害的性能。

20 用压缩应变 SiGe 膜和拉伸应变 Si 膜, 制成分别有空穴和电子迁移率大大提高的 p-沟道调制掺杂场效应晶体管 (p-MOSFET) 和 n-沟道调制掺杂场效应晶体管 (n-MOSFET)。但是, 该设计要求逐级松弛的 SiGe 多层缓冲层作为“实际的”基片。这些缓冲层中的位错密度高达 7 个数量级, 这对大规模制造可能性而言是太高了。

25 已提出在 SOI 材料上制造空穴迁移率明显提高的假晶 SiGe PMOS 器件。在两个分开制造的器件中, SOI 基片的顶硅层很厚, 分别为 150nm 和 50nm。

因而, 器件需要设压缩应变的 SiGe 层和拉伸 Si 层, 在逐级松弛的 SiGe 缓冲层中没有高位错密度。如果能制成这种器件, 就能增强空穴和电子的迁移

率。

发明内容

在位错产生和传播的“临界厚度”以下，SiGe 层能产生至块状硅基片的“假晶”。这就是说，膜层外延应变至基片。之后，该 SiGe 层顶上生长的任何 Si 层随后松弛无应变。但是，如果能在与 SiGe 的厚度相比极薄的 Si 基片上生长 SiGe，那么，SiGe 层和 Si 层均会应变，而无位错。实质上，SiGe 层与 Si 层共享总的应变。另一个作用是，SiGe 的临界厚度增大。此外，SiGe 顶上生长的 Si 层会拉伸应变。

可采用这种薄 Si 基片的最接近的事情是，在 SOI 基片中的顶 Si 层。与块状硅基片相比，SOI 基片的缺陷密度增大，会促进应变松弛。之后，除在 SOI 基片同样薄的顶 Si 层的顶上生长薄的 Si/SiGe 迭层外，SiGe 会压缩应变，Si 层会拉伸应变，而无高位错密度。

因而，本发明包括 SOI 基片同样薄的顶 Si 层的顶上的 Si/SiGe 迭层。该 SiGe 层压缩应变，但局部松弛，每层 Si 层拉伸应变，无高位错密度。SOI 基片的硅层厚约 10-40nm。SiGe 层的厚度为 5 至 50nm。顶第二 Si 层的厚度是 2 至 50nm。

因此，本发明的一个目的是提供用硅绝缘体上应变的 Si/SiGe 的增强型 NMOS 和 PMOS 晶体管。

本发明的另一目的是，提供包括有压缩应变的 SiGe 层和拉伸应变的多层 Si 层的增强型 NMOS 和 PMOS 晶体管。

本发明的又一目的是，提供有空穴和电子迁移率增强的增强型 NMOS 和 PMOS 晶体管。

附图说明

图 1 是本发明器件的示意图；

图 2 是本发明器件制造流程图。

具体实施方式

图 1 示出本发明器件 10。器件 10 包括 SOI 基片 12，SOI 基片用掩埋的氧化物 (BOX) 13，和尽可能薄的顶 Si 层 14 构成，顶 Si 层的厚度 16 通常为 10—40nm。之后，淀积外延的 $\text{Si}_{1-x}\text{Ge}_x$ 膜 18，X 为 0.1 至 0.5 或以上，如果可能，在 0.1 至 0.9 的范围内。膜层 18 的厚度 20 应够薄，以避免位错产生和/或传播，

即,使位错产生和/或传播低于 $100/\text{cm}^2$ 的阈值。本行业的技术人员应了解,根据半导体工业协会(SIA)推荐的值的该值可根据每个器件产生不同的值。用其它方式,可确定允许的膜 18 的厚度必须够薄,以确保位错密度不高于 SOI 硅起始基片的位错密度。典型的厚度范围是 5 至 50nm。之后,在 SiGe 层上淀
5 积另一层外延 Si 层 22。Si 层 22 的厚度 24 通常是 2 至 50nm。该最后 Si 层的一部分热氧化,形成用于 MOS 的栅介电层 26。

可用标准的外延法,如低压化学汽相淀积(LPCVD)法、超高真空化学汽相淀积法(UHVCVD)、快速热化学汽相淀积法(RTCVD)或分子束外延法(MBE)中的任何一种方法,分别淀积 SiGe 层 18 和 Si 层 22。可在已构图的
10 或没构图的基片上用选择或非选择化学生长 Si/SiGe 层。

SiGe 层 18 和基片 Si 层 14 共享应变,用 Si 层 22 覆盖 SiGe 层 18,有增大整个叠层 28 的临界厚度的作用。“有效临界厚度”是发生位错的临界厚度。该厚度增大取决于 SiGe 的松弛量。之后,可生长更厚的多层 SiGe 层和 Ge 浓度更大的多层膜层。例如,Ge 浓度为 0.3 或 50nm 厚的 SiGe 层。Ge 浓度更高的
15 SiGe 层会产生更高的空穴和电子迁移率。例如,按已公布的实验结果,Ge 浓度为 0.3 的器件的场效应电子迁移率可为 $500\text{cm}^2/\text{V}\cdot\text{Sec}$ 。同样,Ge 浓度为 0.3 的器件的场效应空穴迁移率为 $250\text{cm}^2/\text{V}\cdot\text{Sec}$ 。

由于淀积层的厚度,基片硅层 14 是拉伸应变的, SiGe 层 18 是压缩应变的,顶 Si 层 22 是拉伸应变的。对 3 层膜的应变说明如下。用掩埋的氧化层 13
20 使 Si 层 14 从基片 12 部分分离。而且,在 Si 层 14 顶上生长 SiGe 层 18 时 Si 层 14 有些松弛。假如在 Si 层 14 和 SiGe 层 18 偶尔出现该松弛,那么, SiGe 层 18 顶上生长的 Si 层 22 将拉伸应变。换句话说,在 SOI 上生长 SiGe 层 18, SiGe 层 18 和基片 Si 层 14 之间共享应变。这造成 SiGe 层中出现压缩应变,但局部松弛。基片 Si 层 14 将拉伸应变。之后, SiGe 层 18 上生长附加的顶 Si 层
25 22,其中顶 Si 层 22 将会拉伸应变。NMOS 器件中,顶 Si 层 22 可用作沟道。PMOS 器件中,顶 Si 层 22 或 SiGe 层 18 可用作沟道。

图 2 示出本发明器件的制造工艺流程图。步骤 40 包括提供其中有 Si 层的 SOI 基片。步骤 42 包括在 SOI 基片上淀积 SiGe 层。步骤 44 包括 SiGe 层上淀积 Si 层。步骤 46 包括氧化顶 Si 层的一部分以形成栅电介质。该方法制成有低
30 位错密度的局部松弛压缩应变的 SiGe 层,和拉伸应变的 Si 层构成的叠层结构

28. 该叠层结构也能提供增强的空穴和电子迁移率。

同样的或极相似的结构可用于 n-沟道和 p-沟道器件，用最后的 Si 层 22 作电子沟道，SiGe 层 18 用作空穴沟道。顶 Si 层 22 也可用作电子或空穴沟道。可用 CMOS 或 MODFET 的设计。而且，结构和制造工艺与标准 CMOS 结构
5 和制造步骤兼容。或者，碳化硅锗 (SiGeC) 层可用作该结构的一部分。

由此已公开了用 SOI 基片上的多层 Si/SiGe 层的晶体管及其制造方法。尽管已公开了最佳的结构和制造方法，但会看到，在不脱离权利要求书限定的发明范围的情况下，还存在各种变化和改型。

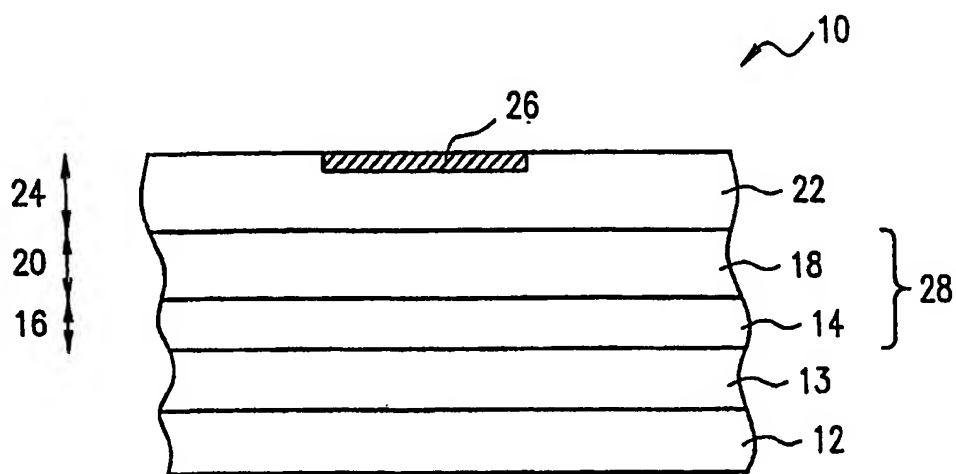


图 1

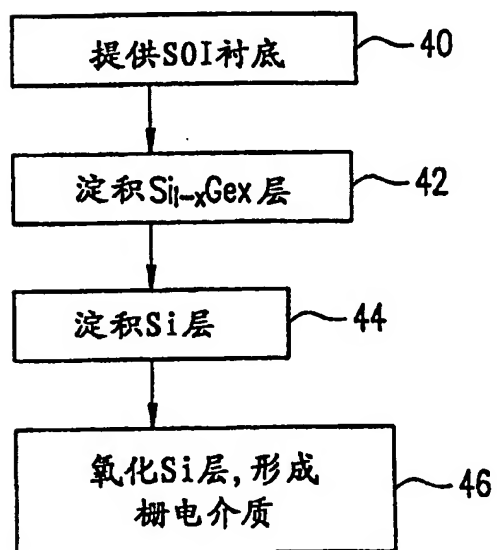


图 2